

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-133866
(43)Date of publication of application : 10.05.2002

(51)Int.Cl. G11C 11/407
G06F 12/00
G06F 12/02

(21)Application number : 2001-223565 (71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22) Date of filing : 24.07.2001 (72) Inventor : RA GENKIN

(30) Priority

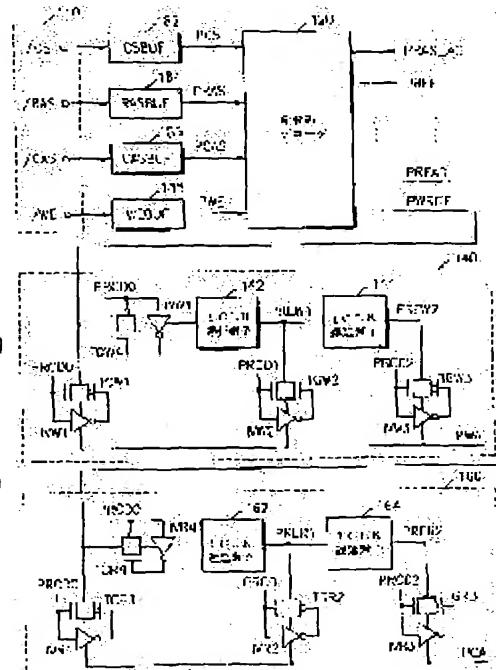
Priority : 2000 200062608 Priority : 24.10.2000 Priority : KR
number : date : country :

(54) SYNCHRONIZING TYPE SEMICONDUCTOR MEMORY HAVING POSTED CAS FUNCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a synchronizing type semiconductor memory which improves efficiency of using a bus between a synchronizing type DRAM and an external controller, and which satisfies requirement for a posted CAS function of JEDEC.

SOLUTION: This device is provided with a write-in instruction word latency control section 140 and a read-out instruction word latency control section 160. The write-in instruction word latency control section 140 and the read-out instruction word latency control section 160 receive respectively a write-in instruction word and a read-out instruction word outputted from a instruction word decoder 120, and output them by delaying them by $(N/2)$ times of a cycle of a clock signal while responding to a latency control signal. Then, N is integer of 0 or more. The latency control signal is a signal activated by a setting value of an expansion mode register set, and decides quantity of additional CAS latency.



LEGAL STATUS

[Date of request for examination] 15.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-133866

(P2002-133866A)

(43)公開日 平成14年5月10日(2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	マーク ⁸ (参考)
G 1 1 C 11/407		G 0 6 F 12/00	5 9 7 C 5 B 0 6 0
G 0 6 F 12/00	5 9 7	12/02	5 9 0 A 5 M 0 2 4
	12/02	G 1 1 C 11/34	3 6 2 S
	5 9 0		3 5 4 C

審査請求 未請求 請求項の数19 O.L. (全 11 頁)

(21)出願番号	特願2001-223565(P2001-223565)	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成13年7月24日(2001.7.24)	(72)発明者	羅元均 大韓民国京畿道水原市八達区靈通洞1053-2番地鳳谷マウル 豊林アパート232棟1103号
(31)優先権主張番号	2000P-62608	(74)代理人	100086368 弁理士 萩原誠
(32)優先日	平成12年10月24日(2000.10.24)		
(33)優先権主張国	韓国(KR)		

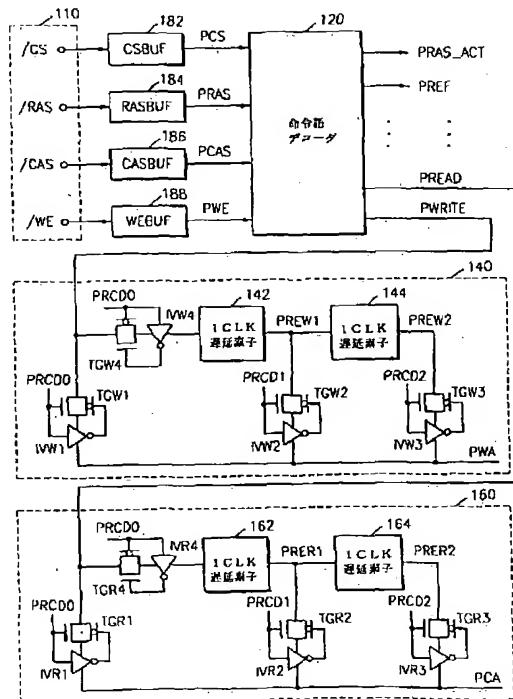
最終頁に統く

(54) 【発明の名称】 ポステッドCAS機能を有する同期式半導体メモリ装置

(57)【要約】

【課題】 同期式DRAMと外部コントローラとの間のバス使用の効率を高めると共に、JEDECのポステップCAS機能に対する要求事項を満足する同期式半導体メモリ装置を提供すること。

【解決手段】 書込み命令語レイテンシ制御部140及び読出し命令語レイテンシ制御部160を備える。書込み命令語レイテンシ制御部140及び読出し命令語レイテンシ制御部160は命令語デコーダ120から出力される書込み命令語及び読出し命令語を各々受信し、それらを、レイテンシ制御信号に応答して、クロック信号のサイクルの($N/2$)倍だけ遅延させて出力する。ここで、Nは0以上の整数である。レイテンシ制御信号は拡張モードレジスタセットの設定値によって活性化される信号であって、追加的なCASレイテンシの量を決定する。



【特許請求の範囲】

【請求項1】 クロック信号に同期して動作する同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダーと、

この命令語デコーダーから出力される前記デコーディングされた命令語のうち書き込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書き込み命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延書き込み命令語を出力する書き込み命令語レイテンシ制御部とを備え、

前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とするポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項2】 前記レイテンシ制御信号は第1、第2及び第3制御信号を含み、

前記書き込み命令語レイテンシ制御部は、

前記書き込み命令語を前記クロック信号の1サイクルだけ遅延させて第1予備書き込み命令語を出力する第1書き込み遅延素子と、

前記第1予備書き込み命令語を前記クロック信号の1サイクルだけ遅延させて第2予備書き込み命令語を出力する第2書き込み遅延素子と、

前記第1制御信号に応答して、前記書き込み命令語を前記遅延書き込み命令語として出力する第1書き込み伝送ゲートと、

前記第2制御信号に応答して、前記第1予備書き込み命令語を前記遅延書き込み命令語として出力する第2書き込み伝送ゲートと、

前記第3制御信号に応答して、前記第2予備書き込み命令語を前記遅延書き込み命令語として出力する第3書き込み伝送ゲートとを備えることを特徴とする請求項1に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項3】 前記書き込み命令語レイテンシ制御部は、前記第1制御信号に応答して、前記書き込み命令語を前記第1書き込み遅延素子の入力信号として出力する第4書き込み伝送ゲートをさらに備えることを特徴とする請求項2に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項4】 クロック信号に同期して動作する同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダーと、

この命令語デコーダーから出力される前記デコーディングされた命令語のうち読み出し命令語を受信し、所定のレイテンシ制御信号に応答して、前記読み出し命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延読み出し命令語を出力する読み出し命令語レイテンシ制御部とを備え、

前記Nは0以上の整数のうちいずれか一つであり、

前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とするポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項5】 前記レイテンシ制御信号は第1、第2及び第3制御信号を含み、

前記読み出し命令語レイテンシ制御部は、

前記読み出し命令語を前記クロック信号の1サイクルだけ遅延させて第1予備読み出し命令語を出力する第1読み出し遅延素子と、

前記第1予備読み出し命令語を前記クロック信号の1サイクルだけ遅延させて第2予備読み出し命令語を出力する第2読み出し遅延素子と、

前記第1制御信号に応答して、前記読み出し命令語を前記遅延読み出し命令語として出力する第1読み出し伝送ゲートと、

前記第2制御信号に応答して、前記第1予備読み出し命令語を前記遅延読み出し命令語として出力する第2読み出し伝送ゲートと、

前記第3制御信号に応答して、前記第2予備読み出し命令語を前記遅延読み出し命令語として出力する第3読み出し伝送ゲートとを備えることを特徴とする請求項4に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項6】 前記読み出し命令語レイテンシ制御部は、前記第1制御信号に応答して、前記読み出し命令語を前記第1読み出し遅延素子の入力信号として出力する第4読み出し伝送ゲートをさらに備えることを特徴とする請求項5に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項7】 クロック信号に同期して動作する同期式半導体メモリ装置において、

外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、

前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、

前記カラムアドレス経路上に位置し、所定のレイテンシ制御信号に応答して、前記カラムアドレス信号を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延カラムアドレス信号を出力するカラムアドレスレイテンシ制御部とを備え、

前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とするポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項8】 前記レイテンシ制御信号は第1、第2及び第3制御信号を含み、

前記カラムアドレスレイテンシ制御部は、

前記カラムアドレス信号を前記クロック信号の1サイクルだけ遅延させて第1予備カラムアドレス信号を出力する第1カラムアドレス遅延素子と、

前記第1予備カラムアドレス信号を前記クロック信号の1サイクルだけ遅延させて第2予備カラムアドレス信号を出力する第2カラムアドレス遅延素子と、

前記第1制御信号に応答して、前記カラムアドレス信号を前記遅延カラムアドレス信号として出力する第1カラムアドレス伝送ゲートと、

前記第2制御信号に応答して、前記第1予備カラムアドレス信号を前記遅延カラムアドレス信号として出力する第2カラムアドレス伝送ゲートと、

前記第3制御信号に応答して、前記第2予備カラムアドレス信号を前記遅延カラムアドレス信号として出力する第3カラムアドレス伝送ゲートとを備えることを特徴とする請求項7に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項9】 前記カラムアドレスレイテンシ制御部は、

前記第1制御信号に応答して、前記カラムアドレス信号を前記第1カラムアドレス遅延素子の入力信号として出力する第4カラムアドレス伝送ゲートをさらに備えることを特徴とする請求項8に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項10】 前記ポステッドCAS機能を有する同期式半導体メモリ装置は前記カラムアドレス信号のレベルを変換するカラムアドレスバッファをさらに備え、前記カラムレイテンシ制御部は前記カラムアドレスバッファ内に含まれることを特徴とする請求項7に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項11】 前記ポステッドCAS機能を有する同期式半導体メモリ装置は前記カラムアドレス信号をデコーディングするカラムアドレスデコーダをさらに備え、前記カラムレイテンシ制御部は前記カラムアドレスデコーダ内に含まれることを特徴とする請求項7に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項12】 クロック信号に同期して動作する同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

この命令語デコーダから出力される前記デコーディングされた命令語のうち書き込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書き込み命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延書き込み命令語を出力する書き込み命令語レイテンシ制御部と、

前記命令語デコーダから出力される前記デコーディングされた命令語のうち読み出し命令語を受信し、前記レイテンシ制御信号に応答して、前記読み出し命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延読み出し命令語を出力する読み出し命令語レイテンシ制御部とを備え、

前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とするポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項13】 前記レイテンシ制御信号は第1、第2及び第3制御信号を含み、

前記書き込み命令語レイテンシ制御部は、

前記書き込み命令語を前記クロック信号の1サイクルだけ遅延させて第1予備書き込み命令語を出力する第1書き込み遅延素子と、

前記第1予備書き込み命令語を前記クロック信号の1サイクルだけ遅延させて第2予備書き込み命令語を出力する第2書き込み遅延素子と、

前記第1制御信号に応答して、前記書き込み命令語を前記遅延書き込み命令語として出力する第1書き込み伝送ゲートと、

前記第2制御信号に応答して、前記第1予備書き込み命令語を前記遅延書き込み命令語として出力する第2書き込み伝送ゲートと、

前記第3制御信号に応答して、前記第2予備書き込み命令語を前記遅延書き込み命令語として出力する第3書き込み伝送ゲートとを含み、

前記読み出し命令語レイテンシ制御部は、

前記読み出し命令語を前記クロック信号の1サイクルだけ遅延させて第1予備読み出し命令語を出力する第1読み出し遅延素子と、

前記第1制御信号に応答して、前記読み出し命令語を前記遅延読み出し命令語として出力する第1読み出し伝送ゲートと、

前記第2制御信号に応答して、前記第1予備読み出し命令語を前記遅延読み出し命令語として出力する第2読み出し伝送ゲートと、

前記第3制御信号に応答して、前記第2予備読み出し命令語を前記遅延読み出し命令語として出力する第3読み出し伝送ゲートとを含むことを特徴とする請求項12に記載の

ポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項14】 前記書込み命令語レイテンシ制御部は前記第1制御信号に応答して、前記書込み命令語を前記第1書込み遅延素子の入力信号として出力する第4書込み伝送ゲートをさらに含み、

前記読み出し命令語レイテンシ制御部は前記第1制御信号に応答して、前記読み出し命令語を前記第1読み出し遅延素子の入力信号として出力する第4読み出し伝送ゲートをさらに含むことを特徴とする請求項13に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項15】 クロック信号に同期して動作する同期式半導体メモリ装置において、

外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、

外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、

前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、

この命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書込み命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延書込み命令語を出力する書込み命令語レイテンシ制御部と、

前記命令語デコーダから出力される前記デコーディングされた命令語のうち読み出し命令語を受信し、所定のレイテンシ制御信号に応答して、前記読み出し命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延読み出し命令語を出力する読み出し命令語レイテンシ制御部と、

前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、

前記カラムアドレス経路上に位置し、前記レイテンシ制御信号に応答して、前記カラムアドレス信号を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延カラムアドレス信号を出力するカラムアドレスレイテンシ制御部とを備え、

前記Nは0以上の整数のうちいずれか一つであり、

前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とするポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項16】 前記レイテンシ制御信号は第1、第2及び第3制御信号を含み、

前記書込み命令語レイテンシ制御部は、

前記書込み命令語を前記クロック信号の1サイクルだけ遅延させて第1予備書込み命令語を出力する第1書込み

遅延素子と、

前記第1予備書込み命令語を前記クロック信号の1サイクルだけ遅延させて第2予備書込み命令語を出力する第2書込み遅延素子と、

前記第1制御信号に応答して、前記書込み命令語を前記遅延書込み命令語として出力する第1書込み伝送ゲートと、

前記第2制御信号に応答して、前記第1予備書込み命令語を前記遅延書込み命令語として出力する第2書込み伝送ゲートと、

前記第3制御信号に応答して、前記第2予備書込み命令語を前記遅延書込み命令語として出力する第3書込み伝送ゲートとを含み、

前記読み出し命令語レイテンシ制御部は、

前記読み出し命令語を前記クロック信号の1サイクルだけ遅延させて第1予備読み出し命令語を出力する第1読み出し遅延素子と、

前記第1予備読み出し命令語を前記クロック信号の1サイクルだけ遅延させて第2予備読み出し命令語を出力する第2読み出し遅延素子と、

前記第1制御信号に応答して、前記読み出し命令語を前記遅延読み出し命令語として出力する第1読み出し伝送ゲートと、

前記第2制御信号に応答して、前記第1予備読み出し命令語を前記遅延読み出し命令語として出力する第2読み出し伝送ゲートと、

前記第3制御信号に応答して、前記第2予備読み出し命令語を前記遅延読み出し命令語として出力する第3読み出し伝送ゲートとを含み、

前記カラムアドレスレイテンシ制御部は、

前記カラムアドレス信号を前記クロック信号の1サイクルだけ遅延させて第1予備カラムアドレス信号を出力する第1カラムアドレス遅延素子と、

前記第1予備カラムアドレス信号を前記クロック信号の1サイクルだけ遅延させて第2予備カラムアドレス信号を出力する第2カラムアドレス遅延素子と、

前記第1制御信号に応答して、前記カラムアドレス信号を前記遅延カラムアドレス信号として出力する第1カラムアドレス伝送ゲートと、

前記第2制御信号に応答して、前記第1予備カラムアドレス信号を前記遅延カラムアドレス信号として出力する第2カラムアドレス伝送ゲートと、

前記第3制御信号に応答して、前記第2予備カラムアドレス信号を前記遅延カラムアドレス信号として出力する第3カラムアドレス伝送ゲートとを含むことを特徴とする請求項15に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項17】 前記書込み命令語レイテンシ制御部は前記第1制御信号に応答して、前記書込み命令語を前記第1書込み遅延素子の入力信号として出力する第4書込み

み伝送ゲートをさらに含み、

前記読出し命令語レイテンシ制御部は前記第1制御信号に応答して、前記読出し命令語を前記第1読出し遅延素子の入力信号として出力する第4読出し伝送ゲートをさらに含み、

前記カラムアドレスレイテンシ制御部は前記第1制御信号に応答して、前記カラムアドレス信号を前記第1カラムアドレス遅延素子の入力信号として出力する第4カラムアドレス伝送ゲートをさらに備えることを特徴とする請求項16に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項18】 前記ポステッドCAS機能を有する同期式半導体メモリ装置は前記カラムアドレス信号のレベルを変換するカラムアドレスバッファをさらに備え、前記カラムレイテンシ制御部は前記カラムアドレスバッファ内に含まれることを特徴とする請求項15に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【請求項19】 前記ポステッドCAS機能を有する同期式半導体メモリ装置は前記カラムアドレス信号をデコーディングするカラムアドレスデコーダをさらに備え、前記カラムレイテンシ制御部は前記カラムアドレスデコーダ内に含まれることを特徴とする請求項15に記載のポステッドCAS機能を有する同期式半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特にクロック信号に同期して動作する同期式DRAM (SDRAM; Synchronous Dynamic Random Access Memory) に関する。

【0002】

【従来の技術】一般に、SDRAMは、外部から入力されるクロック信号に同期して読出しありは書き込み動作が制御される。半導体メモリ装置のうち、DRAMでは、ロウアドレスストローブ (Row Address Strobe; RAS) 活性命令を与えた後、一定の時間が経過してから読出しありは書き込み命令などのCAS命令 (CAS Command, CAS; Column Address Strobe) を与える。この時間がtRCDで表わされる時間である。すなわち、RAS活性命令を与えた後、tRCD時間が経過しなければ、読出しありは書き込み命令を与えることができない。SDRAMの場合、tRCDは通常2~3クロックサイクルが要求される。一つのクロックサイクルをtCCで表わすため、tRCDは2~3tCCとなる。

【0003】

【発明が解決しようとする課題】したがって、従来のSDRAMでは、SDRAMを制御するコントローラでt

RCDを考慮して、RAS活性命令後に適切なタイミングで読出しありは書き込み命令を与えなければならない。かかる従来の方式はSDRAMを制御するコントローラまたはユーザがSDRAMのtRCD仕様を一々考慮しなければならないという面倒さがあるだけでなく、コントローラとSDRAMの命令語入力ピンまでのバス使用の効率を落とすという短所がある。これらの問題により、国際電子標準化機構であるJEDEC (Joint Electronic Device Engineering Council) で追加的なCASレイテンシ機能 (ポステッドCAS機能とも呼ぶ) を要求して、規格化するに至った。JEDECはDDR (Double Data Rate) SDRAMのアップグレードされたバージョンであるDDR2 SDRAMにポステッドCAS機能を加えることを要求している。また、JED EC規格では、SDRAMの拡張モードレジスタセット (Extended Mode Register Set、以下、EMRS) を通じて追加的なCASレイテンシを何tCCとするかを予め設定できるように要求している。

【0004】本発明は上記の点に鑑みなされたもので、その目的は、同期式DRAMと外部コントローラとの間のバス使用の効率を高めると共に、JEDECのポステッドCAS機能に対する要求事項を満足する同期式DRAMを提供することにある。

【0005】

【課題を解決するための手段】本発明によれば、クロック信号に同期して動作する同期式半導体メモリ装置、特にポステッドCAS機能を有する同期式半導体メモリ装置が提供される。

【0006】本発明の第1のポステッドCAS機能を有する同期式半導体メモリ装置は、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、この命令語デコーダから出力される前記デコーディングされた命令語のうち書き込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書き込み命令語を前記クロック信号のサイクルのN/2倍だけ遅延させて遅延書き込み命令語を出力する書き込み命令語レイテンシ制御部とを備え、前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とする。

【0007】本発明の第2のポステッドCAS機能を有する同期式半導体メモリ装置は、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、この命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、所定のレイ

テンシ制御信号に応答して、前記読出し命令語を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延読出し命令語を出力する読出し命令語レイテンシ制御部とを備え、前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とする。

【0008】本発明の第3のポステッドCAS機能を有する同期式半導体メモリ装置は、外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、前記カラムアドレス経路上に位置し、所定のレイテンシ制御信号に応答して、前記カラムアドレス信号を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延カラムアドレス信号を出力するカラムアドレスレイテンシ制御部とを備え、前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とする。

【0009】本発明の第4のポステッドCAS機能を有する同期式半導体メモリ装置は、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、この命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書込み命令語を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延書込み命令語を出力する書込み命令語レイテンシ制御部と、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、前記レイテンシ制御信号に応答して、前記読出し命令語を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延読出し命令語を出力する読出し命令語レイテンシ制御部とを備え、前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とする。

【0010】本発明の第5のポステッドCAS機能を有する同期式半導体メモリ装置は、外部から印加される命令語信号を受信する一つ以上の命令語入力ピンと、外部から印加されるアドレス信号を受信する一つ以上のアドレス入力ピンと、前記命令語信号を受信して、前記命令語信号に対応するデコーディングされた命令語を出力する命令語デコーダと、この命令語デコーダから出力される前記デコーディングされた命令語のうち書込み命令語を受信し、所定のレイテンシ制御信号に応答して、前記書込み命令語を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延書込み命令語を出力する書込み命令

語レイテンシ制御部と、前記命令語デコーダから出力される前記デコーディングされた命令語のうち読出し命令語を受信し、所定のレイテンシ制御信号に応答して、前記読出し命令語を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延読出し命令語を出力する読出し命令語レイテンシ制御部と、前記アドレス信号を受信して、前記アドレス信号がカラムアドレス信号であれば、前記アドレス信号をカラムアドレス信号としてカラムアドレス経路に出力するカラムアドレス決定部と、前記カラムアドレス経路上に位置し、前記レイテンシ制御信号に応答して、前記カラムアドレス信号を前記クロック信号のサイクルのN／2倍だけ遅延させて遅延カラムアドレス信号を出力するカラムアドレスレイテンシ制御部とを備え、前記Nは0以上の整数のうちいずれか一つであり、前記レイテンシ制御信号は拡張モードレジスタセットの設定値に応答して活性化されることを特徴とする。

【0011】

【発明の実施の形態】以下、添付した図面に基づき本発明の望ましい実施の形態を説明するが、その前にポステッドCAS機能について詳細に説明する。

【0012】前述のように、ポステッドCAS機能はJEDEC規格でその値を何でCCにするかをEMRSを利用してユーザが予め設定するようにしている。例えば、tRCDが3CLKであるSDRAMを使用するユーザを仮定する。ここで、単位CLKはクロックサイクルを表す。SDRAMのユーザがRAS活性命令から3CLK後に書き込みまたは読出し命令を与える場合には、EMRSでポステッドCASモードをモード0として設定すれば良い。この場合、SDRAMは内部的に書き込みまたは読出し命令に追加的なCASレイテンシを与えない。ユーザがRAS活性命令から2CLK後に書き込みまたは読出し命令を与える場合には、EMRSでポステッドCASモードをモード1として設定すれば良い。この場合、SDRAMは内部的に書き込みまたは読出し命令に追加的な1CLKのCASレイテンシを与える。ユーザがポステッドCASモードをモード2として設定すれば、SDRAMは内部的に書き込みまたは読出し命令に追加的な2CLKのCASレイテンシを与える。このポステッドCAS機能を有するSDRAMの動作は、図1によく示してある。

【0013】図1は、SDRAMのポステッドCAS機能を説明するための図である。ここではtRCDを3CLK、CASレイテンシを3、バースト長を4と仮定する。そして、図1は読出し命令に対して追加的なCASレイテンシを与える場合の図である。

【0014】図1(A)は、ポステッドCASモードをモード0として設定した場合のタイミング図である。モード0とは、追加的なCASレイテンシを与えない場合である。したがって、読出し命令RDはRAS活性化命令RAからtRCDの3CLK後に印加されなければな

らない。そして、読み出しデータDQは読み出し命令RDからCASレイテンシである3CLK後に出力される。

【0015】図1(B)は、ポステッドCASモードをモード1として設定した場合のタイミング図である。モード1とは、追加的なCASレイテンシを1CLKとして与えた場合である。したがって、読み出し命令RDはRAS活性化命令RAから2CLK後に印加されなければならない。そして、読み出しデータDQは読み出し命令RDからCASレイテンシ3CLKに追加的なCASレイテンシ1CLKを加えた4CLK後に出力される。

【0016】図1(C)は、ポステッドCASモードをモード2として設定した場合のタイミング図である。モード2とは、追加的なCASレイテンシを2CLKとして与えた場合である。したがって、読み出し命令RDはRAS活性化命令RAから1CLK後に印加されなければならない。そして、読み出しデータDQは読み出し命令RDからCASレイテンシ3CLKに追加的なCASレイテンシ2CLKを加えたらCLK後に出力される。これから分かるように、RAS活性化命令RAから読み出しデータDQが出力される時点は一定である。しかし、ポステッドCAS機能を使用すれば、RAS活性化命令RAから読み出し命令RDを印加する時点を調節できる。

【0017】図2は、本発明の一実施の形態によるポステッドCAS機能を有する同期式DRAMを示した図である。これを説明すれば、本発明の一実施形態によるポステッドCAS機能を有する同期式DRAMは、一つ以上の命令語入力ピン110、命令語入力バッファ182, 184, 186, 188、命令語デコーダ120、書き込み命令語レイテンシ制御部140及び読み出し命令語レイテンシ制御部160を備える。

【0018】命令語入力ピン110には外部から命令語信号/CS, /RAS, /CAS, /WEが印加される。TTL(Transistor-Transistor Logic)に入力される命令語信号/CS, /RAS, /CAS, /WEは各々の命令語入力バッファ182, 184, 186, 188でCMOS(Complementary MOS)レベルに変換される。命令語デコーダ120は命令語入力バッファ182, 184, 186, 188を通じて入力される命令語信号PCS, PRAS, PCAS, PWSを受信しつつデコーディングして、命令語信号PCS, PRAS, PCAS, PWEに対応するデコーディングされた命令語PRAS_ACT, PREF, ..., PREAD, PWRITEを出力する。

【0019】書き込み命令語レイテンシ制御部140は命令語デコーダ120から出力されるデコーディングされた命令語PRAS_ACT, PREF, ..., PREAD, PWRITEのうち書き込み命令語PWRITEを受信し、所定のレイテンシ制御信号に応答して、書き込み命令語PWRITEをクロック信号のサイクルのN/2

倍だけ遅延させて、遅延書き込み命令語PWAを出力する。ここで、Nは0以上の整数のうちいずれか一つであるから、書き込み命令語PWRITEはクロック信号のサイクルの0, 0, 5, 1, 1, 5...倍だけ遅延される。

【0020】書き込み命令語レイテンシ制御部140を具体的に調べてみれば、書き込み命令語レイテンシ制御部140は第1、第2書き込み遅延素子142, 144及び第1ないし第4書き込み伝送ゲートTGW1～TGW4を含む。第1および第2書き込み遅延素子142, 144は入力される信号をクロック信号の1サイクル1CLKだけ遅延させて出力する遅延素子である。そして、第1ないし第4書き込み伝送ゲートTGW1～TGW4は入力される制御信号に応答してゲートされる。第1ないし第4書き込み伝送ゲートTGW1～TGW4はPMOSトランジスタ及びNMOSトランジスタが並列接続された構造である。すなわち、PMOSトランジスタのドレインとNMOSトランジスタのソース、PMOSトランジスタのソースとNMOSトランジスタのドレインとが相互接続される。そして、PMOSトランジスタ及びNMOSトランジスタのゲートには制御信号及びその反転信号、または制御信号の反転信号及びその制御信号が各々入力される。

【0021】第1書き込み伝送ゲートTGW1のNMOSトランジスタには第1制御信号PRCD0が入力され、第1書き込み伝送ゲートTGW1のPMOSトランジスタには第1制御信号PRCD0の反転信号(インバータIVW1の出力)が入力される。したがって、第1書き込み伝送ゲートTGW1は第1制御信号PRCD0が'ハイレベル'に活性化されればターンオンされ、第1制御信号PRCD0が'ローレベル'に非活性化されれば、ターンオフされる。第1伝送ゲートTGW1がターンオンされれば、書き込み命令語PWRITEが直ちに遅延書き込み命令語PWAに出力される。

【0022】第2書き込み伝送ゲートTGW2のNMOSトランジスタには第2制御信号PRCD1が入力され、第2書き込み伝送ゲートTGW2のPMOSトランジスタには第2制御信号PRCD1の反転信号(インバータIVW2の出力)が入力される。したがって、第2書き込み伝送ゲートTGW2は第2制御信号PRCD1が'ハイレベル'に活性化されればターンオンされ、第2制御信号PRCD1が'ローレベル'に非活性化されれば、ターンオフされる。第2書き込み伝送ゲートTGW2がターンオンされれば、第1書き込み遅延素子142の出力信号(第1予備書き込み命令語)PREW1が遅延書き込み命令語PWAに出力される。第3書き込み伝送ゲートTGW3のNMOSトランジスタには第3制御信号PRCD2が入力され、第3書き込み伝送ゲートTGW3のPMOSトランジスタには第3制御信号PRCD2の反転信号(インバータIVW3の出力)が入力される。したがって、

第3書込み伝送ゲートTGW3は第3制御信号PRCD2が'ハイレベル'に活性化されればターンオンされ、第3制御信号PRCD2が'ローレベル'に非活性化されれば、ターンオフされる。第3書込み伝送ゲートTGW3がターンオンされれば、第2書込み遅延素子144の出力信号(第2予備書込み命令語)PREW2が遅延書込み命令語PWAに出力される。

【0023】第4書込み伝送ゲートTGW4のPMOSトランジスタには第1制御信号PRCD0が入力され、第4書込み伝送ゲートTGW4のNMOSトランジスタには第1制御信号PRCD0の反転信号(インバータIVW4の出力)が入力される。したがって、第4書込み伝送ゲートTGW4は第1制御信号PRCD0が'ハイレベル'に活性化されればターンオフされ、第1制御信号PRCD0が'ローレベル'に非活性化されればターンオンされる。第4書込み伝送ゲートTGW4がターンオンされれば、書込み命令語PWRITEが第1書込み遅延素子142に入力される。

【0024】追加的なCASレイテンシは同期式DRAM内のEMRSに貯蔵される情報ビットによって設定される。例えば、同期式DRAMのEMRS命令入力時に所定のアドレス信号に印加される値がEMRSに貯蔵されて追加的なCASレイテンシ値が決定される。そして、決定された追加的なCASレイテンシの値によって、これを制御するためのレイテンシ制御信号が活性化される。第1ないし第3制御信号がレイテンシ制御信号であって、EMRSに設定された追加的なCASレイテンシの値により、第1ないし第3制御信号のうち該当する一つの制御信号だけが'ハイレベル'に活性化され、残りは非活性化される。

【0025】遅延書込み命令語PWAは本発明のポステッドCAS機能を有するSDRAMのデータ書込み動作過程を制御する書込み動作のマスタ信号であって、ポステッドCAS機能を有しない一般的なSDRAMにおける書込み命令語に該当する信号である。したがって、一般的のSDRAMにおいて書込み命令語PWRITEが用いられる所に遅延書込み命令語PWAを使用することにより、本発明によるポステッドCAS機能を有するSDRAMの書込み動作過程は一般的のSDRAMの書込み動作過程と内部的に同一になる。

【0026】読み出し命令語レイテンシ制御部160は命令語デコード120から出力されるデコーディングされた命令語のうち読み出し命令語PREADを受信し、レイテンシ制御信号に応答して、読み出し命令語PREADをクロック信号のサイクルの(1/2*整数)倍、すなわち、0、0、5、1、1、5...のうちどれかの倍数だけ遅延させて読み出し命令語PCAを出力する。

【0027】読み出し命令語レイテンシ制御部160の構成は書込み命令語レイテンシ制御部140のそれと同一である。但し、読み出し命令語レイテンシ制御部160に

入出力される信号が読み出し命令語READ及び遅延読み出し命令語PCAであるという点で書込み命令語レイテンシ制御部140と違いがある。

【0028】読み出し命令語レイテンシ制御部160を具体的に調べてみれば、読み出し命令語レイテンシ制御部160は第1、第2読み出し遅延素子162、164及び第1ないし第4読み出し伝送ゲートTGR1～TGR4を含む。第1および第2読み出し遅延素子162、164は第1および第2書込み遅延素子142、144と同様に、入力される信号をクロック信号の1サイクル1CLKだけ遅延させて出力する遅延素子である。第1ないし第4読み出し伝送ゲートTGR1～TGR4の構造は各々第1ないし第4書込み伝送ゲートTGW1～TGW4と同一である。

【0029】さらに、第1ないし第4読み出し伝送ゲートTGR1～TGR4に入力される各々の制御信号も第1ないし第4書込み伝送ゲートTGW1～TGW4に入力される各々の制御信号と同一である。したがって、第1制御信号PRCD0が活性化されれば、第1読み出し伝送ゲートTGR1がターンオンされ、読み出し命令語READが直ちに遅延読み出し命令語PCAに出力される。このとき、第4読み出し伝送ゲートTGR4はターンオフされて、第1読み出し遅延素子162には読み出し命令語READが伝達されない。

【0030】第2制御信号PRCD1が活性化されれば、第1制御信号PRCD0は非活性状態であるため、第4読み出し伝送ゲートTGR4がターンオンされて、第1読み出し遅延素子162に読み出し命令語READが伝達される。また、第2読み出し伝送ゲートTGR2がターンオンされて、第1読み出し遅延素子162の出力信号(第1予備読み出し命令語)PRER1が遅延読み出し命令語PCAに出力される。

【0031】第3制御信号PRCD2が活性化されれば、第2読み出し遅延素子164の出力信号(第2予備読み出し命令語)PRER2が遅延読み出し命令語PCAに出力される。

【0032】遅延読み出し命令語PCAは本発明のSDRAMのデータ読み出し動作過程を制御する読み出し動作のマスタ信号であって、ポステッドCAS機能を有しない一般的なSDRAMにおける読み出し命令語に該当する信号である。したがって、一般的なSDRAMにおいて読み出し命令語READが用いられる所に遅延読み出し命令語PCAを使用することにより、本発明によるポステッドCAS機能を有するSDRAMの読み出し動作過程は一般的のSDRAMの読み出し動作過程と内部的に同一になる。

【0033】図3は、本発明の他の実施の形態によるポステッドCAS機能を有する同期式DRAMを示した図である。これを説明すれば、本発明の他の実施の形態によるポステッドCAS機能を有する同期式DRAMは一つ以上のアドレス入力ピン210、アドレス入力バッフ

ア200、ロウアドレス決定部242、カラムアドレス決定部244、カラムアドレスレイテンシ制御部220を備える。

【0034】アドレス入力ピン210には外部からアドレス信号ADDRが印加される。アドレス入力バッファ200はアドレス入力ピン210を通じて入力されるTTLレベルであるアドレス信号ADDRをCMOSレベルに変換する。

【0035】ロウアドレス決定部242は受信されるアドレス信号ADDRがロウアドレス信号であれば、これをロウアドレス経路に出力する。同様に、カラムアドレス決定部244は受信されるアドレス信号がカラムアドレスであれば、これをカラムアドレス経路に出力する。ロウアドレス信号RADDRはロウアドレス経路に沿って、ロウアドレスデコーダ(図示せず)に入力される。カラムアドレス信号CADDRはカラムアドレス経路に沿って最終的にはカラムアドレスデコーダ(図示せず)に入力される。

【0036】ところで、本発明の他の実施の形態による同期式DRAMはカラムアドレス経路上に、すなわち、カラムアドレス決定部244の出力後、カラムアドレスデコーダ(図示せず)の前方にカラムアドレスレイテンシ制御部220を備える。

【0037】カラムアドレスレイテンシ制御部220はカラムアドレス決定部244から出力されるカラムアドレス信号CADDRを受信して、レイテンシ制御信号に応答して、カラムアドレス信号CADDRをグロック信号のサイクルの($1/2 * 整数$)倍、すなわち、0、0.5、1、1.5...のうちどれかの倍数だけ遅延させて遅延カラムアドレス信号PCADDRを出力する。

【0038】カラムアドレスレイテンシ制御部220の構成も書き込み命令語レイテンシ制御部140及び読み出し命令語レイテンシ制御部160のそれと同一である。しかし、カラムアドレスレイテンシ制御部220に入出力される信号がカラムアドレス信号CADDR及び遅延カラムアドレス信号PCADDRであるという点で書き込み命令語レイテンシ制御部140及び読み出し命令語レイテンシ制御部160と違いがある。

【0039】カラムアドレスレイテンシ制御部220を具体的に調べてみれば、カラムアドレスレイテンシ制御部220は第1、第2カラムアドレス遅延素子222、224及び第1ないし第4カラムアドレス伝送ゲートTGA1～TGA4を含む。第1および第2カラムアドレス遅延素子222、224の機能は第1および第2書き込み遅延素子142、144の機能と同一である。また、第1ないし第4カラムアドレス伝送ゲートTGA1～TGA4は第1ないし第4書き込み伝送ゲートTGW1～TGW4と同一の構造及び機能を有する。このため、ここでは、カラムアドレスレイテンシ制御部220の構成及

び機能に対する詳細な説明は省略する。

【0040】遅延カラムアドレス信号PCADDRはカラムアドレスデコーダ(図示せず)でデコーディングされて、データが書き込みまたは読み出されるメモリセルのカラムを選ぶ。

【0041】カラムアドレスレイテンシ制御部220は、図3の位置ではなく、カラムアドレス信号を受信する他の回路部に含まれる。図3では、アドレス入力バッファ200後にロウアドレス信号であるか、それともカラムアドレス信号であるかが決定される。しかし、ロウアドレスバッファ及びカラムアドレスバッファが別々に具備される場合もある。この場合、カラムアドレスレイテンシ制御部220はカラムアドレスバッファに含まれる。カラムアドレスデコーダがメインデコーダ及びプリデコーダに分けられれば、カラムアドレスレイテンシ制御部220はカラムアドレスメインデコーダまたはカラムアドレスプリデコーダ内に具現できる。

【0042】前述した本発明の実施の形態では、各レイテンシ制御部140、160、220が2つの遅延素子を備える。したがって、設定可能な追加的なCASレイテンシの範囲が2CLKまでである。しかし、遅延素子の数は変更でき、これにより、設定可能な追加的なCASレイテンシの値の範囲も調節できる。

【0043】また、上記の実施の形態は単なる例示的なものに過ぎず、この技術分野の通常の知識を有した者なら、これより各種の変形及び均等な他の実施の形態が可能であるということは言うまでもない。よって、本発明の真の技術的な保護範囲は特許請求の範囲の技術的な思想によって定まるべきである。

【0044】

【発明の効果】本発明によって、同期式DRAMを使用する外部コントローラやユーザはRAS活性化命令後にCAS命令を印加するタイミングを調節できる。したがって、同期式DRAMと同期式DRAMを使用する外部コントローラとの間のバス使用の効率が高まる。そして、本発明の同期式DRAMはJEDDECのポステッドCAS機能に対する要求事項を満足する。

【図面の簡単な説明】

【図1】同期式DRAMのポステッドCAS機能を説明するための図である。

【図2】本発明の一実施の形態によるポステッドCAS機能を有する同期式DRAMを示した図である。

【図3】本発明の他の実施の形態によるポステッドCAS機能を有する同期式DRAMを示した図である。

【符号の説明】

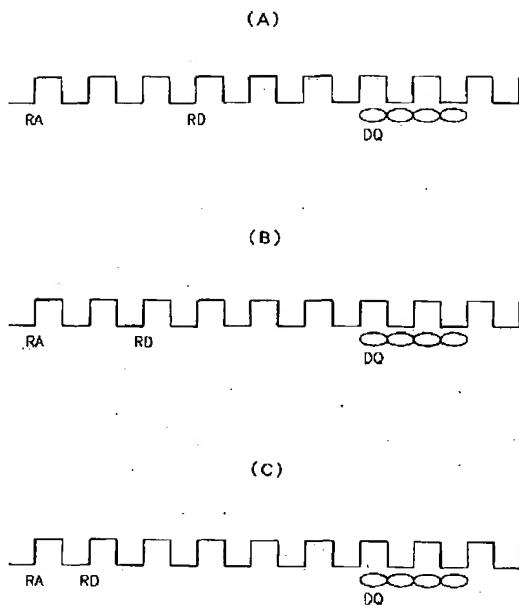
110 命令語入力ピン

120 命令語デコーダ

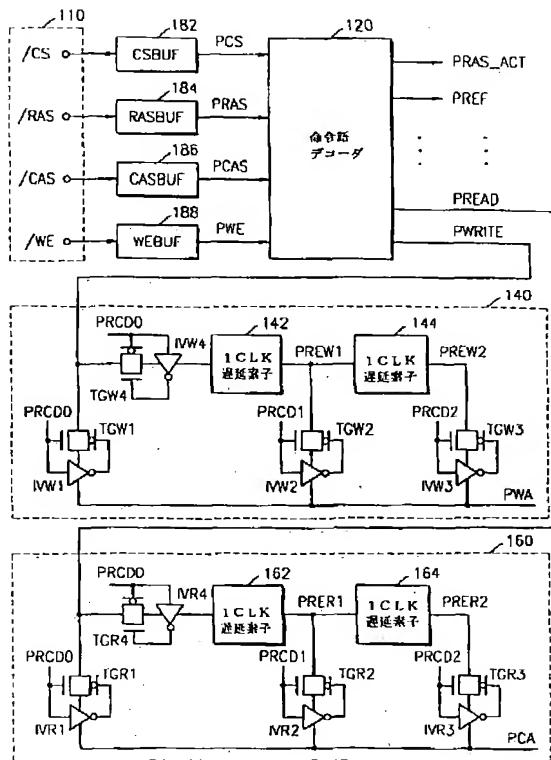
140 書込み命令語レイテンシ制御部

160 読出し命令語レイテンシ制御部

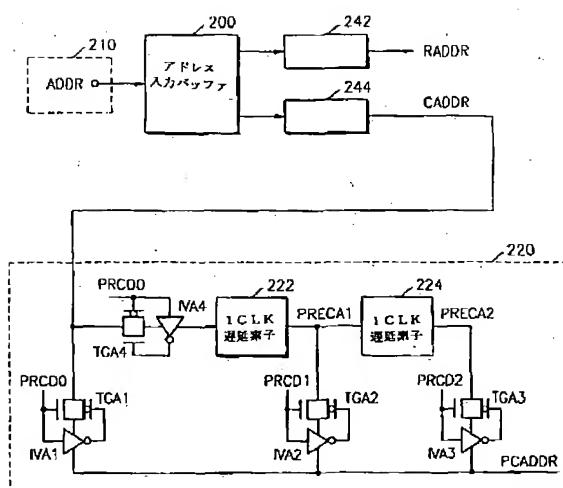
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5B060 AB13 CA03
5M024 AA49 AA79 AA90 BB05 BB07
BB10 BB20 BB27 BB28 BB34
BB35 BB36 CC99 DD63 DD80
GG01 GG02 HH01 JJ03 JJ28
JJ32 JJ53 PP01 PP02 PP03
PP07